

(19) 日本国特許庁 (J・P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-256084

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	1/707		H 0 4 J 13/00	D
	7/26		H 0 4 B 7/26	C

審査請求 未請求 請求項の数6 OL (全 10 頁)

(21) 出願番号 特願平7-58571

(22) 出願日 平成7年(1995)3月17日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 中村 聡

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 久保 徳郎

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

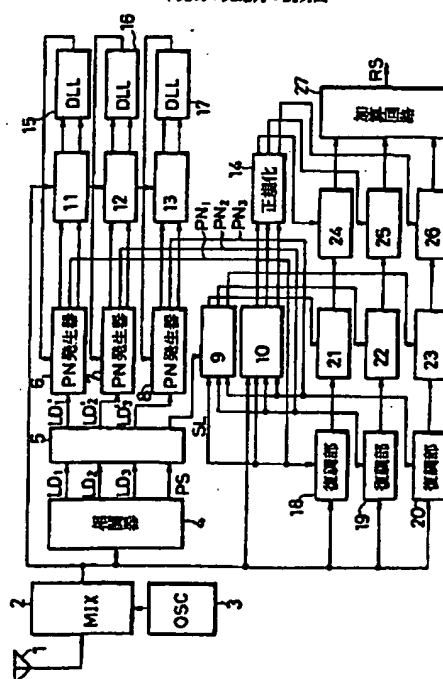
(54) 【発明の名称】 RAKE受信装置

(57) 【要約】

【目的】 スペクトラム拡散方式を用いた通信システムに於けるRAKE受信装置に関し、受信特性の向上を図る。

【構成】 受信信号とPNパターンとの相関値を大きい順に出力する相関器4と、この相関値に従ったPNロード信号LD₁～LD₃の前回と今回との位相差が最小となるものを選択出力するPNロード信号制御回路5と、PNロード信号制御回路5により選択出力されたPNロード信号LD₁'～LD₃'を加えるPN発生器6～8及び逆拡散回路11～12、遅延ロックループ回路15～17を含む位相同期回路と、受信信号をPNパターンPN₁～PN₃によって復調する復調部18～20と、遅延差検出回路9により制御される遅延補正回路21～23と、相関値検出回路10からの相関値を正規化する正規化回路14と、正規化された相関値を重み付け係数として乗算する乗算回路24～26と、加算回路27とを備えている。

本発明の実施例の説明図



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 複数のバスを介した受信信号をそれぞれ復調する複数の復調部と、該復調部対応にPNパターンを加える為のPN発生器を含む位相同期回路と、前記受信信号とPNパターンとの相関値を大きい順に出力する相関器とを備えたRAKE受信装置に於いて、前記相関器からの大きい順に出力される相関値に基づくPNロード信号と、前記PNパターンの周期毎に、前回選択出力されたPNロード信号との位相を比較し、位相差が最小の今回のPNロード信号を選択出力して、前記PN発生器に加えるPNロード信号制御回路を設けたことを特徴とするRAKE受信装置。

【請求項2】 複数のバスを介した受信信号をそれぞれ復調する複数の復調部と、該復調部対応にPNパターンを加える為のPN発生器を含む位相同期回路と、前記受信信号とPNパターンとの相関値を大きい順に出力する相関器とを備えたRAKE受信装置に於いて、前記相関器からの大きい順に出力される相関値に基づくPNロード信号を、前記PNパターンの周期毎に、位相基準信号との位相を比較し、該位相基準信号との位相差の大小関係により前記相関器からの相関値に基づくPNロード信号を並べ替えて、前記PN発生器に加えるPNロード信号制御回路を設けたことを特徴とするRAKE受信装置。

【請求項3】 複数のバスを介した受信信号をそれぞれ復調する複数の復調部と、該復調部対応にPNパターンを加えるPN発生器を含む位相同期回路と、前記受信信号とPNパターンとの相関値を大きい順に出力する相関器と、複数の前記PN発生器からの前記PNパターンの位相差に基づく遅延時間信号を出力する遅延差検出回路と、該遅延差検出回路からの遅延時間信号によって前記複数の復調部の復調出力信号の位相を同一として加算する為の遅延補正回路とを備えたRAKE受信装置に於いて、前記遅延差検出回路は、前記相関器による相関値が最大のバス対応の前記PNパターンを基準とし、該PNパターンと他の相関値のバス対応の前記PNパターンとの位相差を基に遅延時間信号を出力する構成を備えたことを特徴とするRAKE受信装置。

【請求項4】 前記遅延差検出回路は、前記PNロード信号制御回路からの前記PNロード信号の選択を示す選択信号を基に、前記相関値の大小関係を識別し、該相関値の最大のバス対応の前記PNパターンを基準とし、該PNパターンと他の相関値のバス対応の前記PNパターンとの位相差をそれぞれ求め、該位相差に従った遅延時間信号を出力する構成を備えたことを特徴とする請求項1乃至3の何れか1項記載のRAKE受信装置。

【請求項5】 複数のバスを介した受信信号をそれぞれ復調する複数の復調部と、該復調部対応にPNパターンを加えるPN発生器を含む位相同期回路と、前記受信信

号とPNパターンとの相関値を大きい順に出力する相関器と、複数の前記PN発生器からの前記PNパターンの位相差に基づく遅延時間信号を出力する遅延差検出回路と、該遅延差検出回路からの遅延時間信号によって前記複数の復調部の復調出力信号の位相を同一として加算する為の遅延補正回路とを備えたRAKE受信装置に於いて、

前記遅延差検出回路は、複数の前記PN発生器対応に且つ前記PNパターンの周期毎に、前回のPNパターンと今回のPNパターンとの位相を比較し、位相差が最小のPNパターンによって復調される復調出力信号に対する遅延補正を時間基準とし、他のPNパターンによって復調される復調出力信号に対する遅延補正の為の遅延時間信号を位相差に対応して出力する構成を備えたことを特徴とするRAKE受信装置。

【請求項6】 複数のバスを介した受信信号をそれぞれ復調する複数の復調部と、該復調部対応のPNパターンを発生するPN発生器を含む位相同期回路と、前記複数の復調部の復調出力信号の位相を同一とし、受信信号とPNパターンとの相関値に従った重み付け係数とを乗算する乗算回路とを備えたRAKE受信装置に於いて、前記受信信号と前記PNパターンとの相関値の中の最大値により各相関値を除算した値を前記重み付け係数とする正規化回路を設けたことを特徴とするRAKE受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スペクトラム拡散通信方式に於けるRAKE受信装置に関する。スペクトラム拡散通信方式を適用した自動車電話や携帯電話等の移動通信システムが知られている。特に、直接拡散方式(DS; Direct Sequence)のように広帯域の通信方式では、マルチバスの伝搬遅延時間の差異による周波数選択性フェージングを考慮する必要がある。その為に、マルチバスを時間的に分離し、それぞれのバスを介した受信信号を拡散復調して再合成するRAKE受信装置が提案された。このようなRAKE受信装置の特性改善が要望されている。

【0002】

【従来の技術】 図7は従来例の説明図であり、81はアンテナ、82はミキサー(MIX)、83は発振器(OSC)、84は相関器、86~88はPN発生器、89は遅延差検出回路、90は相関値検出回路、91~93は逆拡散回路、95~97は遅延ロックループ回路(DLL; Delay Locked Loop)、98~100は復調部、101~103は遅延補正回路、104~106は乗算回路、107は加算回路である。

【0003】 アンテナ81により受信した直接拡散方式による信号は、ミキサー82に於いて発振器83の発振出力信号と混合されてベースバンド信号に変換され、相

3

関器84と逆拡散回路91~93と復調部98~100とに加えられる。相関器84は、送信側と同一のPN(疑似ランダム符号)パターンの位相をずらしながら受信信号との相関をとるスライド相関方式により、複数のバス対応の相関値を求める構成を有し、図示のように、3系統の復調部98~100及びPN発生器86~88とを備えた場合、PNパターンの全位相にわたる相関値の大きい順に3個の相関値を選択して、PN発生器86~88にPNロード信号LD₁~LD₃として加える。なお、N個のバスに対応したN系統の構成とした場合、相関器は、相関値の大きい順にN個の相関値を選択して出力することになる。

【0004】PN発生器86~88は、PNロード信号LD₁~LD₃に同期し、遅延ロックループ回路95~97からのマスタクロック信号に従ったPNパターンPN₁~PN₃を発生する。又PNパターンPN₁~PN₃に対する1チップ分の進み位相と遅れ位相とのPNパターンを、それぞれ逆拡散回路91~93に加えて、受信信号の逆拡散処理を行い、進み位相と遅れ位相とのPNパターンに対応した出力信号RSSI(Received Signal Strength Indicator)を遅延ロックループ回路95~97に加えて、マスタクロック信号の位相を制御する。即ち、相関器84とPN発生器86~88と逆拡散回路91~93と遅延ロックループ回路95~97とによる位相同期回路(PLL)を構成し、マルチバス対応に位相同期したPNパターンPN₁~PN₃を発生する。

【0005】又PN発生器86~88からのPNパターンPN₁~PN₃をそれぞれ復調部98~100と相関値検出回路90とに加え、復調部98~100に於いて受信信号の復調を行い、又PNパターンPN₁~PN₃の先頭ビットを遅延差検出回路89に加えて、PNパターンPN₁~PN₃の位相差を検出し、検出した位相差に基づいて遅延補正回路101~103を制御し、マルチバスの遅延時間差に対応した復調出力信号の遅延時間を補正して同一位相とする。

【0006】又相関値検出回路90は、受信信号とPN発生器86~88から復調部98~100に加えるPNパターンPN₁~PN₃とを用いて相関値を求める。この相関値を重み付け係数として乗算回路104~106に於いて復調出力信号に乗算し、その乗算出力信号を加算回路107に於いて加算し、受信出力信号RSとする。その場合、復調部98は、相関値が最大のバスに相当する受信信号を復調することになり、又乗算回路104は、最大相関値による重み付け係数を乗算することになり、乗算回路105は、中間の相関値による重み付け係数を乗算し、又乗算回路106は、最小の相関値による重み付け係数を乗算して、相関値が最大の復調出力信号が最も確からしいから、これを強調して加算することになる。

4

【0007】

【発明が解決しようとする課題】前述の相関器84は、PNパターンの1周期毎に相関値の大きい順に3個のバスに対応したPNロード信号LD₁~LD₃を出力するものであるが、この相関値の大きさ及び位相は、フェージングや雑音等によって変化する。例えば、相関値が最大のバスであっても、フェージングによって他のバスの相関値が最大となることがあり、その場合は異なるバスであるから、最大相関値の位相が変化することになる。従って、そのような変化に対応して、PN発生器86~88、逆拡散回路91~93、遅延ロックループ回路95~97を含む位相同期回路は、再同期引込みを行う必要が生じる。この同期引込みに要する時間内の受信出力信号RSはエラーデータとなる問題がある。

【0008】又復調部98~100に於いては、通常はAGC増幅器により振幅を一定とした後、AD変換器により軟判定に相当する複数ビット構成のデジタル信号に変換するものであり、このデジタル復調出力信号に対して、前述のように、乗算回路104~106に於いて相関値に対応した重み付けを行い、加算回路107に於いて加算するものである。しかし、受信電界強度が低い時は、相関値も小さくなるから、加算回路107により加算された受信出力信号RSの有効ビット数が少なくなる。即ち、量子化ビット数が少なくなる。それによって、ノイズによる影響を受け易く、又2値化に於いて誤りが発生し易くなる等の問題がある。本発明は、再同期引込みの発生確率を低減して受信特性を向上し、又所望の量子化ビット数を確保することを目的とする。

【0009】

【課題を解決するための手段】本発明のRAKE受信装置は、図1を参照して説明すると、(1)複数のバスを介した受信信号をそれぞれ復調する複数の復調部18~20と、復調部18~20対応にPNパターンPN₁~PN₃を加えるPN発生器6~8を含む位相同期回路と、受信信号とPNパターンとの相関値を大きい順に出力する相関器4とを備えたRAKE受信装置に於いて、相関器4からの大きい順に出力される相関値に基づくPNロード信号LD₁~LD₃と、PNパターンの周期毎に、前回選択出力されたPNロード信号LD₁'~LD₃'との位相を比較し、位相差が最小の今回のPNロード信号を選択出力して、PN発生器6~8に加えるPNロード信号制御回路5を設ける。

【0010】(2)又複数のバスを介した受信信号をそれぞれ復調する複数の復調部18~20と、復調部18~20対応にPNパターンPN₁~PN₃を加えるPN発生器6~8を含む位相同期回路と、受信信号とPNパターンとの相関値を大きい順に出力する相関器4とを備えたRAKE受信装置に於いて、相関器4からの大きい順に出力される相関値に基づくPNロード信号LD₁~LD₃を、PNパターンの周期毎に、位相基準信号PS

5

と比較し、位相基準信号PSとの位相差の大小関係により、相関器4からのPNロード信号LD₁～LD₅を並べ替えて、PN発生器6～8に加えるPNロード信号制御回路5を設ける。

【0011】(3)又複数のバスを介した受信信号をそれぞれ復調する複数の復調部18～20と、復調部18～20対応にPNパターンを加えるPN発生器6～8を含む位相同期回路と、受信信号とPNパターンとの相関値を大きい順に出力する相関器4と、複数のPN発生器6～8からのPNパターンPN₁～PN₅の位相差に基づき遅延時間信号を出力する遅延差検出回路9と、この遅延差検出回路9からの遅延時間信号によって複数の復調部18～20の復調出力信号の位相を同一として加算する遅延補正回路21～23とを備えたRAKE受信装置に於いて、遅延差検出回路9は、相関器4による相関値が最大のバス対応のPNパターンを基準とし、このPNパターンと他の相関値のバス対応のPNパターンとの位相差を基に遅延時間信号を出力する構成を備えている。

【0012】(4)又遅延差検出回路9は、PNロード信号制御回路5からのPNロード信号の選択を示す選択信号SLを基に、相関値の大小関係を識別し、この相関値の最大のバス対応のPNパターンを基準とし、このPNパターンと他の相関値のバス対応のPNパターンとの位相差をそれぞれ求め、その位相差に従った遅延時間信号を出力する構成を備えている。

【0013】(5)又複数のバスを介した受信信号をそれぞれ復調する複数の復調部18～20と、復調部18～20対応にPNパターンを加えるPN発生器6～8を含む位相同期回路と、受信信号とPNパターンとの相関値を大きい順に出力する相関器4と、複数のPN発生器6～8からのPNパターンPN₁～PN₅の位相差に基づき遅延時間信号を出力する遅延差検出回路9と、この遅延差検出回路9からの遅延時間信号によって複数の復調部18～20の復調出力信号の位相を同一として加算する遅延補正回路21～23とを備えたRAKE受信装置に於いて、遅延差検出回路9は、複数のPN発生器6～8対応に且つPNパターンの周期毎に、前回のPNパターンと今回のPNパターンとの位相を比較し、位相差が最小のPNパターンによって復調される復調出力信号に対する遅延補正を時間基準とし、他のPNパターンによって復調される復調出力信号に対する遅延補正の遅延時間信号を出力する構成を備えている。

【0014】(6)又複数のバスを介した受信信号をそれぞれ復調する複数の復調部18～20と、復調部18～20対応のPNパターンを発生するPN発生器6～8を含む位相同期回路と、複数の復調部18～20の復調出力信号の位相を同一とし、受信信号とPNパターンとの相関値に従った重み付け係数とを乗算する乗算回路2

6

4～26とを備えたRAKE受信装置に於いて、受信信号とPNパターンとの相関値の中の最大値により各相関値を除算した値を重み付け係数とする正規化回路14を設けた。

【0015】

【作用】

(1)スライド相関方式による相関器4からの相関値は、大きい順に出力されるから、同一のバスの受信信号に対する相関値が例えば最大値から最小値に変化すると、前回の最大値の相関値に対応するPNロード信号によって同期しているPN発生器の位相は、他のバスの受信信号による今回の最大値の相関値に対応するPNロード信号に同期する必要があるから、PN発生器を含む位相同期回路は再同期引込みを行うことになる。しかし、本発明に於いては、PNロード信号制御回路5により、前回のPNロード信号と今回のPNロード信号との位相を比較し、位相差が最小の今回のPNロード信号を選択出力して、PN発生器6～8に入力する。それにより、前回のPNロード信号と今回のPNロード信号との位相差が零又は最小となるから、PN発生器の位相はそのまま又は僅かなシフトで済むことになる。従って、安定なPNパターンの発生が可能となり、再同期引込みをPNパターンの周期毎に行う確率を低減し、同一のバスの受信信号に位相同期したPNパターンを継続して発生できる確率を向上することができる。

【0016】(2)又PNロード信号制御回路5は、PNパターン周期毎に、相関器4から相関値の大きい順に出力されてPN発生器6～8に加えるPNロード信号を、位相基準信号PSと比較してそれぞれ位相差を求め、位相基準信号PSに対して位相差が大きい順或いは逆に小さい順に選択して出力し、PN発生器6～8に加えるPNロード信号LD₁'～LD₅'とする。従って、位相基準信号PSに対して同一のバスの受信信号は同一の位相差となるから、PN発生器6～8を含む位相同期回路は、同一のバスの受信信号に位相同期する確率が高くなる。

【0017】(3)又復調部18～20は、複数のバスを介した受信信号の遅延時間差に対応したそれぞれ位相が異なるPNパターンPN₁～PN₅によって復調するものであるから、復調出力信号の位相も相違している。従って、加算する場合には位相を同一とする必要がある。そこで、遅延差検出回路9と遅延補正回路21～23とを備えており、遅延差検出回路9は、相関器4による最大値の相関値のバス対応のPNパターンを基準として、他の相関値のバス対応のPNパターンとの位相差をそれぞれ求め、進み位相や遅れ位相に対応した位相差に基づいて遅延時間信号を形成し、この遅延時間信号を遅延補正回路21～23に加えて、復調出力信号を同一位相とする。

【0018】(4)又遅延差検出回路9は、PNロード

信号を選択出力するPNロード信号制御回路5からの選択信号SLを利用して相関値の大小関係を識別する。そして、相関値の最大値に対応するPN発生器からのPNパターンを基準として、そのPNパターンの位相と、他の相関値に対応するPN発生器からのPNパターンの位相差を求め、位相差に対応した遅延時間信号を出力する。その遅延時間信号を遅延補正回路21~23に加えて、復調出力信号を同一位相として出力することができる。

【0019】(5) 又遅延差検出回路9は、複数のPN発生器6~8対応に、前回のPNパターンをPNパターンの1周期分遅延させて、今回のPNパターンとの位相を比較する。位相差が最小のPNパターンは、前回の同一のバスを介した受信信号に対応するものと推定できるから、これを基準の位相とし、このPNパターンと他のPNパターンとの位相差を求めて、遅延時間信号を出力する。その遅延時間信号を遅延補正回路21~23に加えて、復調出力信号を同一位相として出力することになる。

【0020】(6) 又PN発生器6~8からのPNパターンPN₁~PN₃と受信信号とを基に相関値検出回路10により相関値を求め、正規化回路14は、その相関値の中の最大値を求めて、各相関値を最大値で除算し、乗算回路24~25に加える重み付け係数とする。従って、受信電界強度に対応して相関値が変動しても、最大値は1で、他の相関値は最大値に対する比に対応する値を維持するから、重み付け係数の変動は小さくなり、加算回路27により加算した受信出力信号RSの有効ビット数の減少を回避できる。

【0021】

【実施例】図1は本発明の実施例の説明図であり、従来例と同様に3個のバスに対応した3系統の構成の場合を示し、1はアンテナ、2はミキサ(MIX)、3は発振器(OSC)、4は相関器、5はPNロード信号制御回路、6~8はPN発生器、9は遅延差検出回路、10は相関値検出回路、11~13は逆拡散回路、14は正規化回路、15~17は遅延ロックループ回路(DLL; Delay Locked Loop)、18~20は復調部、21~23は遅延補正回路、24~26は乗算回路、27は加算回路である。

【0022】アンテナ1により受信した直接拡散方式による信号は、ミキサ2に於いて発振器3の発振出力信号と混合されてベースバンド信号に変換され、このベースバンドの受信信号は、相関器4と逆拡散回路11~13と復調部18~20とに加えられる。相関器4は、送信側と同一のPN(疑似ランダム符号)パターンの位相をずらしながら受信信号との相関をとるスライド相関方式により、複数のバス対応の相関値を求め、相関値の大きい順に3個の相関値を選択して、PNロード信号LD₁~LD₃を出力して、PNロード信号制御回路5に加

える。又PNロード信号LD₁~LD₃の位相に対する位相基準信号PSを出力して、PNロード信号制御回路5に加える構成とすることができる。

【0023】このPNロード信号制御回路5は、前回のPNロード信号LD₁~LD₃に対して今回のPNロード信号LD₁~LD₃の位相差が最小のものを選択、又は位相基準信号PSに対しての位相差の変化が最小の今回のPNロード信号LD₁~LD₃を選択し、PNロード信号LD₁'~LD₃'として、PN発生器6~8に加え、その場合の選択信号SLを遅延差検出回路9に加える。即ち、同一バスの相関値は、大きさが変化しても殆ど変化しないから、PNロード信号制御回路5は、位相が同一又はほぼ同一の相関値を、前回の順序と同一となるように選択するものである。

【0024】又PN発生器6~8は、PNロード信号制御回路5から選択出力されたPNロード信号LD₁'~LD₃'に同期し、遅延ロックループ回路15~17からのマスタクロック信号に従ったPNパターンPN₁~PN₃を発生する。又従来例と同様に、PNパターンPN₁~PN₃に対する1チップ分の進み位相と遅れ位相とのPNパターンを、それぞれ逆拡散回路11~13に加えて受信信号の逆拡散処理を行い、進み位相と遅れ位相とのPNパターンに対応した出力信号RSSI(Received Signal Strength Indicator)を遅延ロックループ回路15~17に加えて、零クロス点を有する位相比較特性を実現し、その位相比較特性によってマスタクロック信号の位相を制御する。即ち、相関器4とPN発生器6~8と逆拡散回路11~13と遅延ロックループ回路15~17とによる位相同期回路(PLL)を構成して、マスタクロック信号を発生することにより、マルチバス対応に位相同期し、且つマスタクロック信号に従ったPNパターンPN₁~PN₃を発生することができる。

【0025】又PN発生器6~8からのPNパターンPN₁~PN₃をそれぞれ復調部18~20と相関値検出回路10とに加え、復調部18~20に於いて受信信号の復調を行い、又PNパターンPN₁~PN₃の先頭ビットを遅延差検出回路9に加えて、PNパターンPN₁~PN₃の位相差を検出し、且つPNロード信号制御回路5からの選択信号SLを基に、位相差による遅延時間信号を選択して遅延補正回路21~23に加え、復調出力信号の遅延時間を補正して同一位相として、乗算回路24~26に加える。

【0026】又相関値検出回路10は、受信信号とPNパターンPN₁~PN₃とを基に、バス対応の相関値を求め、相関値を正規化回路14に加える。正規化回路14は、相関値の最大値を検出して、他の相関値をこの最大値で除算する正規化処理を行い、正規化された値を乗算回路24~26に重み付けの係数として加え、遅延補正回路21~23により同一位相となるように補正され

9

た復調出力信号の重み付けを行い、加算回路27により加算して、所望の量子化ビット数を有する受信出力信号RSとする。

【0027】図2は本発明の一実施例のPNロード信号制御回路の説明図であり、31~33は選択回路、34~36は遅延回路、37~39は比較回路である。相関器4からのPNロード信号 $LD_1 \sim LD_3$ は、選択回路31~33と比較回路37~39とにそれぞれ入力され、選択回路31~33からPN発生器6~8に加えるPNロード信号 $LD_1' \sim LD_3'$ が出力され、又遅延回路34~36を介して比較回路37~39に加えられる。

【0028】遅延回路34~36は、PNパターンの1周期分の遅延時間を有するもので、比較回路37~39は、前回選択出力されたPNロード信号 $LD_1' \sim LD_3'$ と今回のPNロード信号 $LD_1 \sim LD_3$ との位相を比較し、比較結果を選択回路31~33の選択信号として加え、前回選択出力されたPNロード信号 $LD_1' \sim LD_3'$ と位相差が零又は最小のPNロード信号 $LD_1 \sim LD_3$ を選択して、PN発生器6~8に加える今回のPNロード信号 $LD_1' \sim LD_3'$ とする。

【0029】例えば、バスa, b, c対応の相関値に従ったPNロード信号 $LD_1 \sim LD_3$ がPNロード信号制御回路5から $LD_1 = LD_1'$, $LD_2 = LD_2'$, $LD_3 = LD_3'$ の関係で選択出力され、次の周期では、相関値の大きい順のバスが、b, a, cであるとする、比較回路37~39に於ける位相比較に於いては、 $LD_1 = LD_2'$, $LD_2 = LD_1'$, $LD_3 = LD_3'$ の関係となる。

【0030】この位相比較結果によって選択回路31~33が制御され、 $LD_1 = LD_2'$, $LD_2 = LD_1'$, $LD_3 = LD_3'$ の関係で選択出力したPNロード信号 $LD_1' \sim LD_3'$ がPN発生器6~8に加えられる。従って、前回のPNロード信号 $LD_1' \sim LD_3'$ と今回のPNロード信号 $LD_1' \sim LD_3'$ とは同一の位相となるから、PN発生器6~8と逆転回路11~13と遅延ロックループ回路15~17等を含む位相同期回路の再同期引込みを行うことなく、PN発生器6~8は、同一のバスの受信信号に位相同期したPNパターンを継続して発生することができる。

【0031】図3は本発明の他の実施例のPNロード信号制御回路の説明図であり、41~43は位相差検出回路、44は選択信号発生回路、45は最大値選択回路、46は中間値選択回路、47は最小値選択回路である。位相差検出回路41~43は、相関器4からのPNロード信号 $LD_1 \sim LD_3$ と位相基準信号PSとの位相差を検出し、その位相差検出信号を選択信号発生回路44に加える。

【0032】この選択信号発生回路44は、位相差検出回路41~43からの位相差検出信号を基に選択信号を

10

形成し、位相基準信号PSに対して位相差が最大のPNロード信号 $LD_1 \sim LD_3$ を、最大値選択回路45によりPNロード信号 LD_1' として選択出力し、位相差が中間のPNロード信号 $LD_1 \sim LD_3$ を、中間値選択回路46によりPNロード信号 LD_2' として選択出力し、位相差が最小のPNロード信号 $LD_1 \sim LD_3$ を、最小値選択回路47によりPNロード信号 LD_3' として選択出力する。

【0033】例えば、バスa, b, c対応の相関値に従ったPNロード信号 $LD_1 \sim LD_3$ と位相基準信号PSとの位相差の大きさの順とが同一であるとする、最大値選択回路45は $LD_1 \rightarrow LD_1'$ 、中間値選択回路46は $LD_2 \rightarrow LD_2'$ 、最小値選択回路47は $LD_3 \rightarrow LD_3'$ のようにPNロード信号を選択出力する。

【0034】そして、次の周期に、相関値の大きい順のバスが、b, a, cであるとする、位相差検出回路42の位相差検出信号が最大で、位相差検出回路43の位相差検出信号が最小となる。従って、選択信号発生回路44は、最大値選択回路45によりPNロード信号 LD_2 を選択出力するように制御し、中間値選択回路46によりPNロード信号 LD_1 を選択出力するように制御し、最初値選択回路47によりPNロード信号 LD_3 を選択出力するように制御する。この場合も同一のバスを介した受信信号に遅延ロックループ回路15~17が位相同期することになり、再同期引込みは必要でなくなる。

【0035】図4は本発明の一実施例の遅延差検出回路の説明図であり、51は中間値選択回路、52は最大値選択回路、53は最小値選択回路、54は最大値選択回路、55、56は遅延時間発生回路、57は選択回路、 $PN_1 \sim PN_3$ はPNパターン又はその先頭ビット、SLは選択信号、FDLは固定遅延時間信号、 $DL_1 \sim DL_3$ は遅延時間信号、 $PN_1 \sim PN_3$ はPNパターン又はその先頭ビット、SLは選択信号、FDLは固定遅延時間信号、 $DL_1 \sim DL_3$ は遅延時間信号である。

【0036】相関器4は、相関値の大きい順にPNロード信号 $LD_1 \sim LD_3$ を出力するが、PNロード信号制御回路5は、前回の選択出力されたPNロード信号 $LD_1' \sim LD_3'$ との位相差が小さい今回のPNロード信号 $LD_1 \sim LD_3$ を選択出力するもので、PN発生器6~8からのPNパターン $PN_1 \sim PN_3$ は、相関値の大きい順ではなく、そこで、PNロード信号制御回路5からの選択信号SLを用いて、PNパターン $PN_1 \sim PN_3$ を相関値の大小関係に従って選択する。即ち、中間値選択回路51は、中間の相関値に対応するPNパターンを選択出力し、最大値選択回路52、54は、最大の相関値に対応するPNパターンを選択出力し、最小値選択回路53は、最小の相関値に対応するPNパターンを選択出力する。

【0037】遅延時間発生回路55は、中間の相関値に

対応するPNパターンと、最大の相関値に対応するPNパターンとの位相差に従った遅延時間信号を発生し、遅延時間発生回路56は、最小の相関値に対応するPNパターンと、最大の相関値に対応するPNパターンとの位相差に従った遅延時間信号を発生する。選択回路57は、最大の相関値に対応するPNパターンによって復調された復調出力信号に対する遅延時間を、固定遅延時間信号FDLに従った遅延時間信号を発生し、遅延時間発生回路56は、最小の相関値に対応するPNパターンと、最大の相関値に対応するPNパターンとの位相差に従った遅延時間信号を発生する。

【0038】選択回路57は、遅延時間信号DL₁～DL₃を遅延補正回路21～23に加えるもので、最大の相関値に対応するPNパターンにより復調された復調出力信号が加えられる遅延補正回路には、固定遅延時間信号FDLを選択出力し、中間の相関値に対応するPNパターンにより復調された復調出力信号が加えられる遅延補正回路には、遅延時間発生回路55からの遅延時間信号と固定遅延時間信号FDLとの和に相当する遅延時間信号を選択出力し、最小の相関値に対応するPNパターンにより復調された復調出力信号が加えられる遅延補正回路には、遅延時間発生回路56からの遅延時間信号と固定遅延時間信号FDLとの和に相当する遅延時間信号を選択出力する。それによって、遅延補正回路21～23によって復調出力信号は同一位相となる。

【0039】図5は本発明の他の実施例の遅延差検出回路の説明図であり、61～63は遅延回路、64～66は位相差検出回路、67は比較回路、68は遅延時間発生回路、PN₁～PN₃はPNパターン又はその先頭ビット、DL₁～DL₃は遅延時間信号である。遅延回路61～63は、PNパターンの1周期分の遅延時間を有し、位相差検出回路64～66は、前回のPNパターンと今回のPNパターンとの位相差を検出し、比較回路67は、それぞれの位相差検出信号を比較して、位相差が最小のものをを見つけ、遅延時間発生回路68は、位相差が最小のPNパターンを基準として、順次位相差が大きいPNパターンとの位相差に対応した遅延時間信号を発生する。

【0040】この場合、位相差が最小であることは、殆ど同一のパスを介した受信信号を示し、相関値も大きい可能性が高いことを基にしているものである。即ち、前述のように、遅延時間発生回路68は、位相差が最小のPNパターンを基準として、このPNパターンにより復調した復調出力信号が加えられる遅延補正回路の遅延時間を定め、他のPNパターンにより復調した復調出力信号が加えられる遅延補正回路の遅延時間は、PNパターンの位相差に対応して定めるものである。それによって、復調部18～20の復調出力信号は同一位相となる。

【0041】図6は本発明の実施例の正規化回路の説明

図であり、71は最大値検出回路、72～74は除算回路、CR₁～CR₃は相関値検出回路10からの相関値、CR₁'～CR₃'は正規化された相関値を示す。又最大値検出回路71は、相関値検出回路10からの相関値CR₁～CR₃の中の最大値CR_{max}を検出し、除算回路72～74は、それぞれ相関値CR₁～CR₃を最大値CR_{max}で除算して、乗算回路24～26に加える相関値CR₁'～CR₃'とする。この相関値CR₁'～CR₃'を乗算回路24～26に加える重み付け係数として、復調出力信号に乘算する。

【0042】従って、 $CR_1 / CR_{max} = CR_1'$ 、 $CR_2 / CR_{max} = CR_2'$ 、 $CR_3 / CR_{max} = CR_3'$ のように、最大値の相関値に対する比で表される値となるから、受信電界強度が低下して、相関値検出回路10により検出された相関値が総て小さい値となった場合は、最大値CR_{max}も小さくなることから、受信電界強度が正常の場合の相関値と同様な値の重み付け係数となる。従って、乗算回路24～26の出力を加算回路27によって加算した受信出力信号RSの有効ビット数は、所望の量子化ビット数を維持することができる。

【0043】本発明は、前述の各実施例のみに限定されるものではなく種々付加変更することができるものであり、マルチパスのパス数が4以上の場合に対応するように、4以上の系統のPN発生器を含む位相同期回路や復調部を設けることも可能である。

【0044】

【発明の効果】以上説明したように、本発明は、相関器4から値の大きい順に出力される相関値によるPNロード信号LD₁～LD₃を、PNロード信号制御回路5によって、前回との位相差が最小のものを選択し、又は基準位相との位相差の大小関係に応じて選択したPNロード信号をPN発生器6～8に加えるもので、このPN発生器6～8と逆拡散回路11～13と遅延ロックループ回路15～17とを含む位相同期回路を、同一のパスを介した受信信号に位相同期する確率が高くなり、受信特性を向上することができる利点がある。

【0045】又正規化回路14により、相関値検出回路10による受信信号とPN発生器6～8からのPNパターンPN₁～PN₃との相関値を、最大値によって除算して正規化するもので、最大値の相関値による重み付け係数を1とし、他の相関値はこの最大値に対する比であるから、受信電界強度が低下して相関値が全体的に小さくなくても、重み付け係数の変化は僅かであるから、加算回路27により加算して出力する受信出力信号RSは、所望の量子化ビット数を維持することとなり、雑音等による影響が少なくなると共に、後段の回路に於ける誤処理を防止できる利点がある。

【図面の簡単な説明】

【図1】本発明の実施例の説明図である。

【図2】本発明の一実施例のPNロード信号制御回路の

13

14

説明図である。

【図3】本発明の他の実施例のPNロード信号制御回路の説明図である。

【図4】本発明の一実施例の遅延差検出回路の説明図である。

【図5】本発明の他の実施例の遅延差検出回路の説明図である。

【図6】本発明の実施例の正規化回路の説明図である。

【図7】従来例の説明図である。

【符号の説明】

4 相関器

5 PNロード信号制御回路

6~8 PN発生器

9 遅延差検出回路

10 相関値検出回路

11~13 逆拡散回路

14 正規化回路

15~17 遅延ロックループ回路(DLL)

18~20 復調部

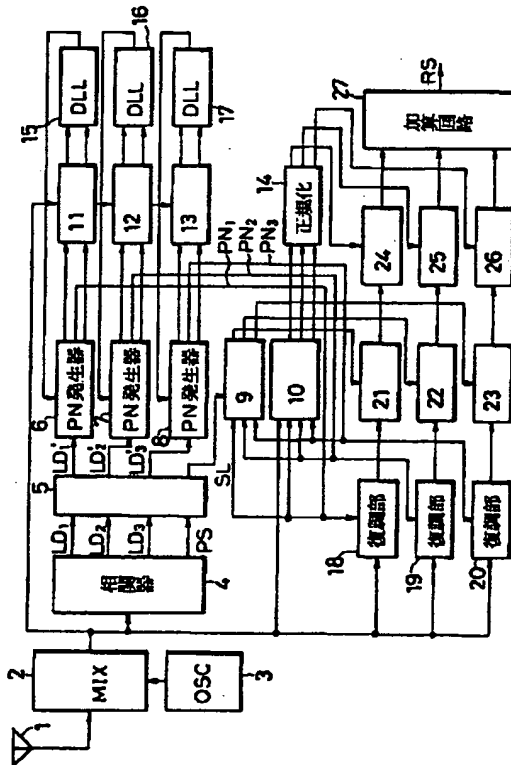
21~23 遅延補正回路

10 24~26 乗算回路

27 加算回路

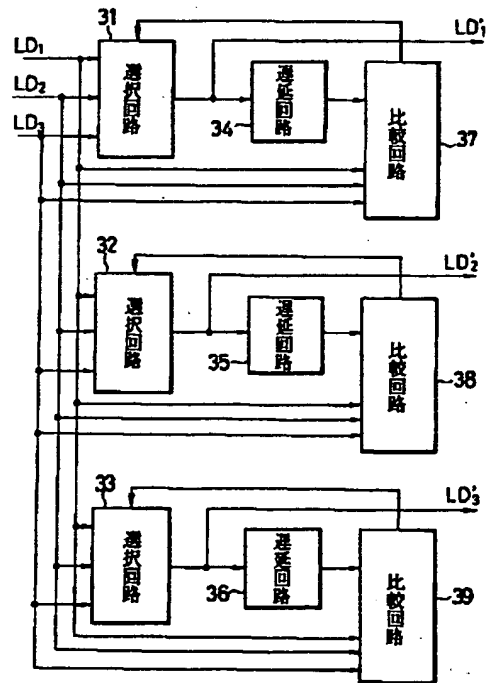
【図1】

本発明の実施例の説明図



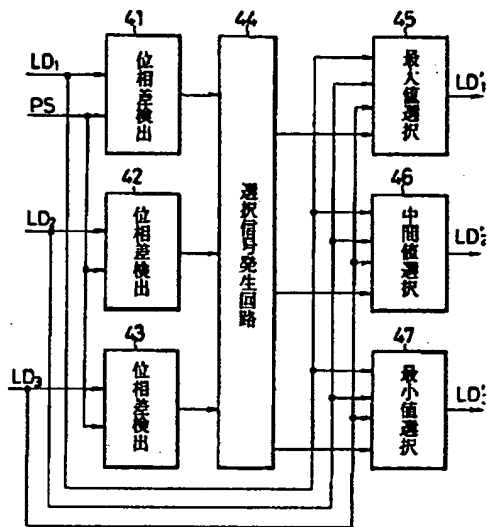
【図2】

本発明の一実施例のPNロード信号制御回路の説明図



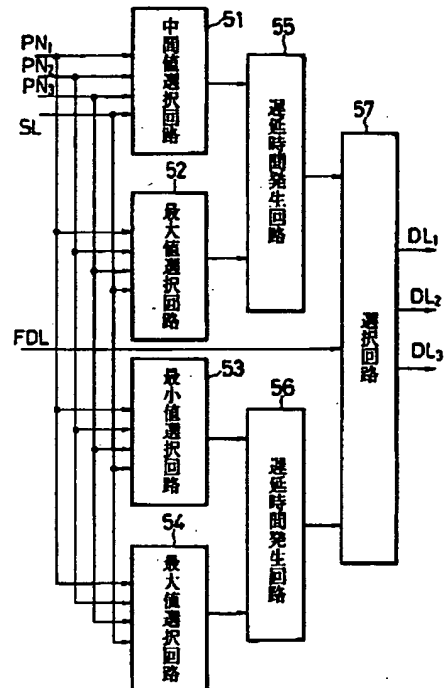
【図3】

本発明の他の実施例のPNロード信号制御回路の説明図



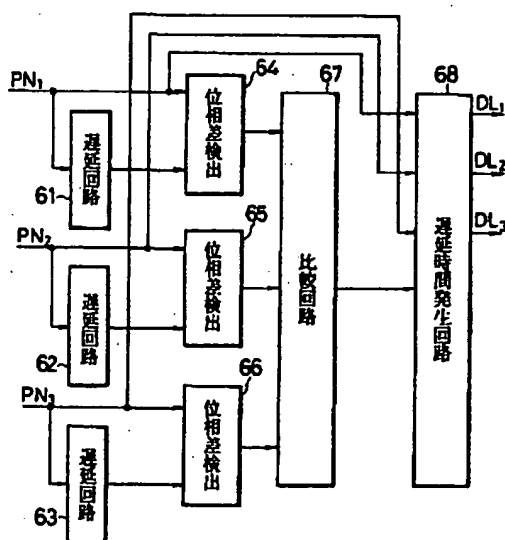
【図4】

本発明の一実施例の遅延差検出回路の説明図



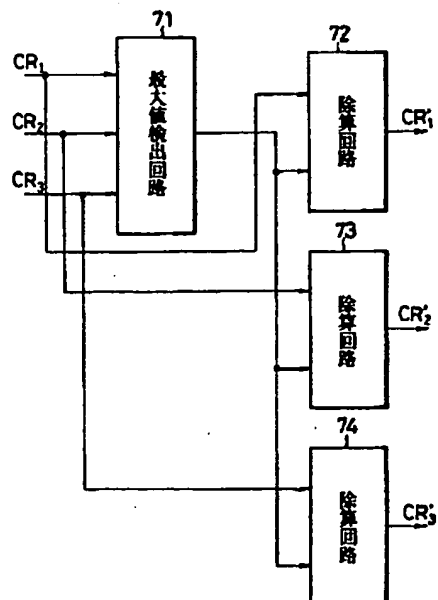
【図5】

本発明の他の実施例の遅延差検出回路の説明図



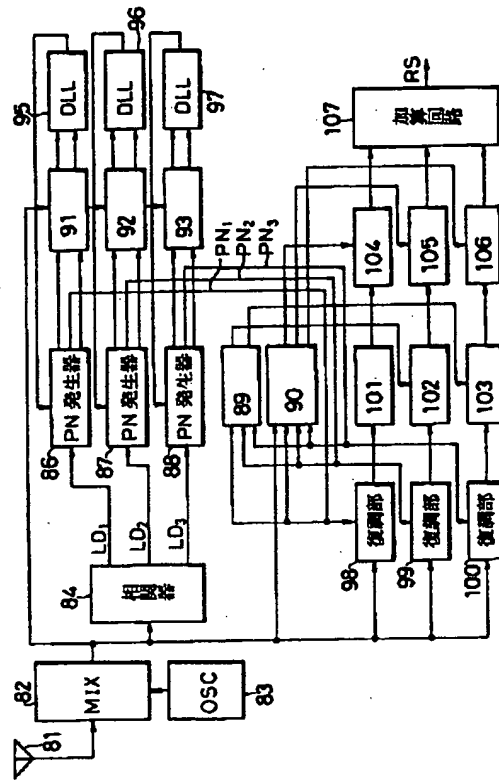
【図6】

本発明の実施例の正規化回路の説明図



【図7】

従来例の説明図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.